

SEMICONDUCTOR DEVICE PROVIDED WITH SEMICONDUCTOR CIRCUIT CONSISTING OF SEMICONDUCTOR ELEMENT, AND MANUFACTURE THEREOF

Publication number: JP2000036598

Publication date: 2000-02-02

Inventor: YAMAZAKI SHUNPEI; FUJIMOTO ETSUKO; ISOBE ATSUO;
TAKAYAMA TORU; FUKUCHI KUNIIKO

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- international: H01L21/336; H01L21/84; H01L27/12; H01L29/786;
G02F1/1362; H01L21/02; H01L21/70; H01L27/12; H01L29/66;
G02F1/13; (IPC1-7): H01L29/786; H01L21/336

- European: H01L21/84; H01L27/12

Application number: JP19980202376 19980716

Priority number(s): JP19980202376 19980716

Also published as:

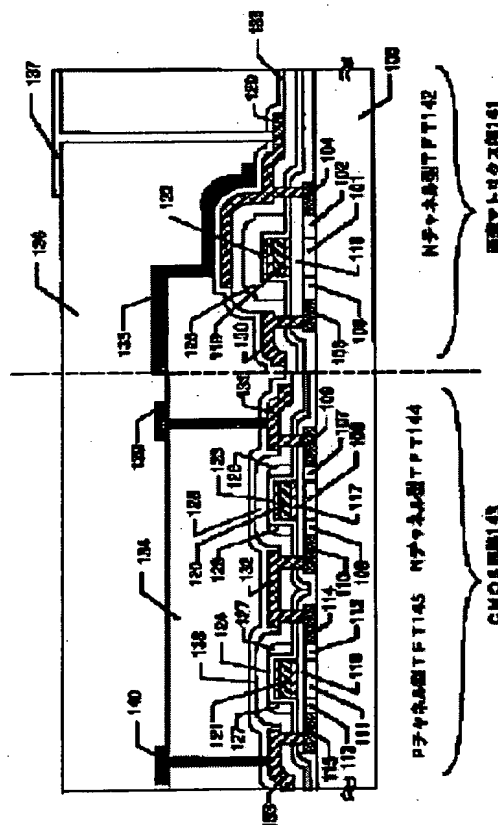


US6399960 (B1)

Report a data error here

Abstract of JP2000036598

PROBLEM TO BE SOLVED: To provide a highly productive thin film transistor(TFT) having different light-doped drain structures(LDD) on the same substrate, and to provide the manufacturing method of the LDD structures. **SOLUTION:** Heating treatment can be performed at the high temperature of 400 to 700 deg.C using a Ta film of high heat resisting property or a wiring material film which is mainly composed of Ta and by covering with a protective layer, and a thin film transistor(TFT), provided with an LDD structure by self-alignment process using a side wall 126, is arranged on a peripheral driving circuit part using the protective layer as an etching stopper. In a picture matrix part, a TFT, provided with an LDD structure, is arranged by performing a non-self-alignment process using an insulator 125.



Data supplied from the esp@cenet database - Worldwide

Family list

5 family members for: JP2000036598

Derived from 4 applications

[Back to JP2000036598](#)

- 1 SEMICONDUCTOR DEVICE PROVIDED WITH SEMICONDUCTOR CIRCUIT CONSISTING OF SEMICONDUCTOR ELEMENT, AND MANUFACTURE THEREOF**
Inventor: YAMAZAKI SHUNPEI; FUJIMOTO ETSUKO; (+3) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: H01L21/84; H01L27/12 **IPC:** H01L21/336; H01L21/84; H01L27/12 (+9)
Publication info: JP2000036598 A - 2000-02-02
- 2 Semiconductor device with semiconductor circuit comprising semiconductor units, and method for fabricating it**
Inventor: YAMAZAKI SHUNPEI (JP); FUJIMOTO ETSUKO **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
(JP); (+3)
EC: H01L21/84; H01L27/12 **IPC:** H01L21/336; H01L21/84; H01L27/12 (+8)
Publication info: US6399960 B1 - 2002-06-04
- 3 Semiconductor device with semiconductor circuit comprising semiconductor units, and method of fabricating it**
Inventor: YAMAZAKI SHUNPEI (JP); FUJIMOTO ETSUKO **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
(JP); (+3)
EC: H01L21/84; H01L27/12 **IPC:** H01L21/84; H01L27/12; G02F1/1362 (+6)
Publication info: US6586766 B2 - 2003-07-01
US2002149016 A1 - 2002-10-17
- 4 Semiconductor device with semiconductor circuit comprising semiconductor units, and method for fabricating it**
Inventor: YAMAZAKI SHUNPEI (JP); FUJIMOTO ETSUKO **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
(JP); (+3)
EC: H01L21/84; H01L27/12 **IPC:** H01L21/84; H01L27/12; G02F1/1362 (+4)
Publication info: US2003211662 A1 - 2003-11-13

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-36598
(P2000-36598A)

(43) 公開日 平成12年2月2日 (2000.2.2)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード* (参考) |
|---------------------------|------|---------------|--|
| H 0 1 L 29/786 21/336 | | H 0 1 L 29/78 | 6 1 7 J 6 1 6 A 6 1 7 L 6 2 7 G |

審査請求 未請求 請求項の数21 O L (全 19 頁)

| | | | |
|-----------|------------------------|----------|--|
| (21) 出願番号 | 特願平10-202376 | (71) 出願人 | 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 |
| (22) 出願日 | 平成10年7月16日 (1998.7.16) | (72) 発明者 | 山崎 舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内 |
| | | (72) 発明者 | 藤本 悦子 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内 |
| | | (72) 発明者 | 磯部 教生 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内 |

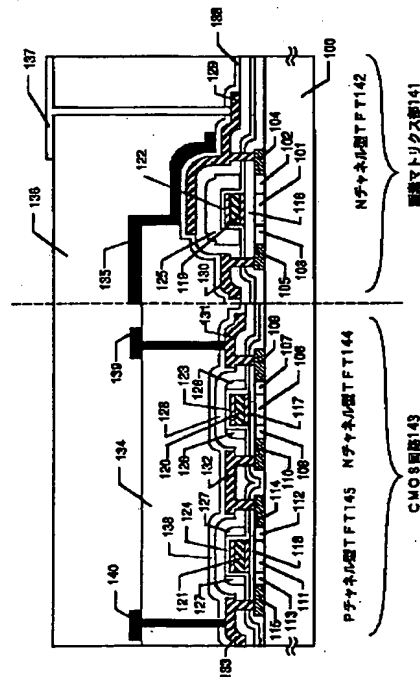
最終頁に続く

(54) 【発明の名称】 半導体素子からなる半導体回路を備えた半導体装置およびその作製方法

(57) 【要約】

【課題】 本発明は、同一基板上に同時に異なるLDD構造を有する生産性の高いTFTの作製方法およびその構造を提供することを目的としている。即ち、本発明はTFTの新規な構造と生産性の高い製造工程を提供するものである。

【解決手段】 耐熱性の高いTa膜またはTaを主成分とする膜を配線材料に用い、さらに保護層で覆うことで、高温(400~700℃)での加熱処理を施すことが可能となり、且つ保護層をエッチングストッパーとして用いることで周辺駆動回路部においては、サイドウォール126を用いた自己整合プロセス(セルフアライン)によるLDD構造を備えたTFTを配置する一方、画素マトリクス部においては、絶縁物125を用いた非自己整合プロセス(ノンセルフアライン)によるLDD構造を備えたTFTを配置する



【特許請求の範囲】

【請求項 1】絶縁表面を有する基板上にソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域の間に形成されているチャンネル形成領域と、少なくとも前記チャンネル形成領域上に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜に接して形成されたゲート電極と、少なくとも前記ゲート電極の上面または側面を覆う保護膜とを有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 2】請求項 1 において、前記ゲート電極は多層構造を有し、タンタル、モリブデン、チタン、クロム、シリコンから選ばれた一種の元素を主成分とする層を少なくとも一層含むことを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 3】請求項 1 または 2 において、前記ゲート電極は、前記基板側から順に窒素を含むタンタルを主成分とする第 1 の層、タンタルを主成分とする第 2 の層、および窒素を含むタンタルを主成分とする第 3 の層からなる三層構造を有することを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 4】請求項 1 乃至 3 のいずれかにおいて、前記チャンネル形成領域は、シリコンの結晶化を助長する触媒元素を含有し、前記触媒元素の濃度は、前記チャンネル形成領域よりも前記ソース領域および前記ドレイン領域のほうが高いことを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 5】絶縁表面を有する基板上に、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域の間に形成されているチャンネル形成領域と、前記ソース領域と前記チャンネル形成領域の間および前記ドレイン領域と前記チャンネル形成領域の間に形成されている低濃度不純物領域と、少なくとも前記チャンネル形成領域上に形成されたゲート絶縁膜と、前記チャンネル形成領域の上方において前記ゲート絶縁膜上に接して形成されたゲート電極と、少なくとも前記ゲート電極の上面または側面を覆う保護膜とを有し、前記ゲート電極は、前記基板側から順に窒素を含む第 1 のタンタル層、第 2 のタンタル層、および窒素を含む第 3 のタンタル層からなる 3 層構造を有し、前記チャンネル形成領域は、シリコンの結晶化を助長する触媒元素を含有し、前記触媒元素の濃度は、チャンネル形成領域よりもソース領域およびドレイン領域のほうが高いことを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 6】請求項 5 において、前記ゲート電極の上面および側面に前記保護膜を介して絶縁物を有し、前記低濃度不純物領域と前記ドレイン領域との境界と、前記低濃度不純物領域と前記ソース領域との境界は、前記絶縁物により決定されることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 7】請求項 5 において、前記ゲート電極の側面

に前記保護膜を介してサイドウォールを有し、前記低濃度不純物領域と前記ドレイン領域との境界と、前記低濃度不純物領域と前記ソース領域との境界は、前記サイドウォールにより決定されることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 8】請求項 7 において、前記ゲート電極の側面に接してサイドウォールを有し、ゲート電極の上面および前記サイドウォールは、前記保護膜により覆われていることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 9】請求項 1 乃至 8 のいずれかにおいて、前記ソース領域および前記ドレイン領域には、N 型の導電性を付与する不純物が添加されていることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 10】請求項 1 乃至 9 のいずれかにおいて、前記ソース領域および前記ドレイン領域には、N 型の導電性を付与する不純物および P 型の導電性を付与する不純物が添加されていることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 11】請求項 1 乃至 10 のいずれかにおいて、前記保護膜は、窒化珪素膜であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 12】請求項 1 乃至 11 のいずれかにおいて、前記保護膜の膜厚は、10～100nmであることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 13】請求項 1 乃至 12 のいずれかにおいて、前記ソース領域および前記ドレイン領域の少なくとも一部はシリサイドであることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 14】請求項 4 乃至 13 のいずれかにおいて、前記触媒元素は、Ni、Fe、Co、Pd、Pt、Cu、Au、Ge から選ばれた少なくとも 1 つの元素であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 15】同一基板上に、第 1 の半導体素子からなる高耐圧回路と第 2 の半導体素子からなる高速駆動回路とを備えた半導体装置であって、前記高耐圧回路は、第 1 のゲート電極と、前記第 1 のゲート電極の上面および側面を覆う絶縁物と、前記絶縁物をドーピングマスクとして N 型または P 型の導電性を付与する不純物が添加された第 1 のソース領域および第 1 のドレイン領域と、を有する第 1 の半導体素子からなり、前記高速駆動回路は、第 2 のゲート電極と、前記第 2 のゲート電極の側面にサイドウォールと、前記サイドウォールをドーピングマスクとして N 型または P 型の導電性を付与する不純物が添加された第 2 のソース領域および第 2 のドレイン領域と、を有する第 2 の半導体素子からなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 16】タンタルを主成分とする材料からなる層上に金属材料からなる層が積層された多層配線と、前記多層配線を覆って形成された層間絶縁膜と、前記層間絶縁膜上に形成された金属配線と、を有し、前記層間絶縁膜には開孔部が形成されており、前記開孔部を介して前記多層配線と前記金属配線とが接続されていることを特徴とする半導体装置。

【請求項 17】絶縁表面を有する基板上に半導体素子からなる半導体回路を備えた半導体装置の作製方法であって、絶縁表面を有する基板上に結晶性半導体膜を形成する工程と、前記結晶性半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に配線を形成する工程と、前記配線をドーピングマスクとして N 型の導電型を付与する不純物を添加する第 1 のドーピングをする工程と、前記配線を覆って保護膜を形成する工程と、前記配線および前記保護膜を覆って絶縁膜を形成する工程と、前記絶縁膜上の一部にマスクを形成する工程と、異方性エッチングを行うことによって、前記絶縁膜をエッチングし配線側面に概略三角形形状の絶縁物を形成すると同時に、前記マスクの下方に存在する絶縁物を残す工程と、前記概略三角形形状の絶縁物、前記絶縁物、およびゲート電極をドーピングマスクとして第 1 のドーピングより高濃度の第 2 のドーピングをする工程と、加熱処理を施し、前記触媒元素をゲッタリングさせる工程と、を有する半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 18】絶縁表面を有する基板上に半導体素子からなる半導体回路を備えた半導体装置の作製方法であって、絶縁表面を有する基板上に結晶性半導体膜を形成する工程と、前記結晶性半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に配線を形成する工程と、前記配線を覆って絶縁膜を形成する工程と、前記絶縁膜上の一部にマスクを形成する工程と、異方性エッチングを行うことによって、前記絶縁膜をエッチングし配線側面に概略三角形形状の絶縁物を形成すると同時に、前記マスクの下方に存在する絶縁物を残す工程と、前記概略三角形形状の絶縁物、前記絶縁物、およびゲート電極をドーピングマスクとして N 型の導電型を付与する不純物または P 型の導電型を付与する不純物を添加する工程と、を有する半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 19】請求項 17 または 18 に記載のゲート絶縁膜上に配線を形成する工程は、前記基板側から順に窒素を含む第 1 のタンタル層、第 2 のタンタル層、および窒素を含む第 3 のタンタル層を連続して成膜し、パターンニングする工程であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 20】請求項 17 乃至 19 のいずれか一に記載の絶縁表面を有する基板上に結晶性半導体膜を形成する工程は、前記絶縁表面に接して非晶質半導体膜を形成す

る工程と、前記非晶質半導体膜に珪素の結晶化を助長する触媒元素を保持させる工程と、加熱処理により、前記非晶質半導体膜を結晶化して結晶性半導体膜を形成する工程を有することを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 21】請求項 17 乃至 19 のいずれか一に記載の絶縁表面を有する基板上に結晶性半導体膜を形成する工程は、前記絶縁表面に接して非晶質半導体膜を形成する工程と、前記非晶質半導体膜に珪素の結晶化を助長する触媒元素を保持させる工程と、レーザー光の照射により、前記非晶質半導体膜を結晶化して結晶性半導体膜を形成する工程を有することを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、絶縁ゲート型トランジスタ等の半導体素子を複数個有する半導体回路、特にアクティブマトリクス回路（高耐圧回路部）と、これを駆動するための論理回路（高速駆動回路部）とを同一基板上に有する半導体回路を備えた半導体装置とその作製方法に関するものである。本発明を利用して作製される半導体回路は、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板の上に形成された絶縁被膜上、いずれにも形成される。

【0002】特に本発明は、液晶ディスプレイ等のように、画素マトリクス回路と、それを駆動する論理回路を有する半導体装置において効果を発揮する。本発明の半導体装置は、薄膜トランジスタ（TFT）や MOS トランジスタ等の絶縁ゲート型トランジスタ（半導体素子）だけでなく、これらで半導体素子で構成された半導体集積回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。加えて、本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含む。

【0003】

【従来の技術】絶縁性を有する基板上に形成された薄膜トランジスタ（TFT）等により画素マトリクス回路および駆動回路を構成したアクティブマトリクス型液晶ディスプレイが注目を浴びている。液晶ディスプレイは 0.5～20 インチ程度のものまで表示ディスプレイとして利用されている。

【0004】液晶ディスプレイ開発の 1 つの方向に大面積化がある。しかし、大面積化すると画素表示部となる画素マトリクス回路も大面積化し、これに伴ってマトリクス状に配列されたソース配線およびゲート配線が長くなるため、配線抵抗が増大している。さらに高精細化が要求されるために配線を細くする必要があり、配線抵抗の増大がより顕在化されている。また、ソース配線およびゲート配線には画素毎に TFT 等のスイッチング素子が接続され、画素数が増大するため寄生容量の増大も問

題となる。液晶ディスプレイでは、一般にゲート配線とゲート電極は一体的に形成されており、パネルの面積化に伴ってゲート信号の遅延が顕在化されている。

【0005】従って、ゲート電極配線材料の抵抗率が低ければ低いほどゲート配線を細く、且つ長くすることが可能になり、これにより面積化が図れる。従来、ゲート電極配線材料としてAl、Ta、Ti等が用いられているが、中でもAlが最も抵抗率が低く、陽極酸化可能な金属であるため多用されている。しかしながら、Alは陽極酸化膜の形成により、耐熱性を向上させることができるものの、300℃～400℃のプロセス温度であっても、ウィスカやヒロックの発生、配線の変形、絶縁膜や活性層への拡散が生じ、TFTの動作不良、TFT特性の低下の主な原因となっていた。

【0006】さらに面積化、高精細化を図るためには、より低抵抗で、且つ高耐熱性を有する電極構造が必要とされている。

【0007】また、液晶ディスプレイ開発の1つの方向に集積化がある。一般に周辺駆動回路一体型と称される構成が知られている。これは、画素マトリクス部と周辺駆動回路部を同一基板上に集積したものである。この周辺駆動回路一体型の構成は、作製コストを低減でき、また全体の構成を小型化できるという有意性がある。

【0008】通常、画素マトリクス回路には、Pチャンネル型またはNチャンネル型の薄膜トランジスタ(TFT)の一方がスイッチング素子として配置される。また、周辺駆動回路は、主に論理回路(高速駆動回路)で構成されており、代表的なものとしてPチャンネル型とNチャンネル型TFTとで構成されるCMOS回路等が配置される。

【0009】例えば、画素マトリクス回路に配置されるTFTは、画素電極における電荷保持機能が必要とされるため、厳しい低OFF電流特性が要求される。

【0010】一方、周辺駆動回路に配置される論理回路のTFTは、高速動作特性や、小電流で駆動することができる特性が要求される。

【0011】このように、画素マトリクス回路と論理回路とでは要求されるTFTの特性が異なる。そのため、それぞれの要求に合ったTFT構造を形成し、画素マトリクス回路と論理回路を作製することが望ましい。そのためにプロセスが複雑化し、歩留り低下やコスト上昇を招くことは望ましくない。

【0012】そのため、このような周辺駆動回路一体型の液晶表示装置においては、画素マトリクス回路と論理回路とに配置されるTFTとが同一基板上に同時に平行して作製することが求められている。

【0013】

【発明が解決しようとする課題】従来より上記問題を解決するための一つ的手段としてLDD(ライトドープドレイン)領域を備えた薄膜トランジスタの構造が知られ

ている。LDD領域は、チャンネル形成領域とドレイン領域の間に形成される電界の強度を緩和し、薄膜トランジスタのOFF電流値の低減、劣化の防止の役割を果たしている。また、LDD領域を形成することによって低OFF電流特性を得ていた。

【0014】従来、LDD領域は陽極酸化膜を用いる自己整合プロセス(セルフアラインプロセス)により作製されていた。しかしながら、この自己整合プロセスは微細化に適しておらず、線幅及び陽極酸化条件を調節することが困難となっていた。

【0015】本発明の具体的な課題は、同一基板上に同時に異なるLDD構造を有する生産性の高いTFTの作製方法およびその構造を提供することを目的としている。即ち、本発明はTFTの新規な構造と生産性の高い製造工程を提供するものである。

【0016】

【課題を解決するための手段】本発明の第1の特徴は、TFTのゲート配線およびゲート電極の構造として、耐熱性の高い材料を用いた多層構造とし、例えばTa₂N膜を成膜後、連続的にこのTa₂N膜の上にTa膜を積層し、さらにこのTa膜の上にTa₂N膜を積層する多層構造とし、さらに無機膜、代表的には窒化珪素膜からなる保護膜(10～100nm)で覆う構造とする。

【0017】本明細書中で開示する本発明の第1の構成は、絶縁表面を有する基板上にソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域の間に形成されているチャンネル形成領域と、少なくとも前記チャンネル形成領域上に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜に接して形成されたゲート電極と、少なくとも前記ゲート電極の上面または側面を覆う保護膜とを有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

【0018】上記構成において、前記ゲート電極は多層構造を有し、タンタル、モリブデン、チタン、クロム、シリコンから選ばれた一種の元素を主成分とする層を少なくとも一層含むことを特徴としている。

【0019】上記構成において、前記ゲート電極は、前記基板側から順に窒素を含むタンタルを主成分とする第1の層、タンタルを主成分とする第2の層、および窒素を含むタンタルを主成分とする第3の層からなる三層構造を有することを特徴としている。

【0020】また、上記構成において、前記チャンネル形成領域は、シリコンの結晶化を助長する触媒元素を含有し、前記触媒元素の濃度は、前記チャンネル形成領域よりも前記ソース領域および前記ドレイン領域のほうが高いことを特徴としている。

【0021】本明細書中で開示する本発明の第2の構成は、絶縁表面を有する基板上に、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域の間に形成されているチャンネル形成領域と、前記ソース領域と前

記チャネル形成領域の間および前記ドレイン領域と前記チャネル形成領域の間に形成されている低濃度不純物領域と、少なくとも前記チャネル形成領域上に形成されたゲート絶縁膜と、前記チャネル形成領域の上方において前記ゲート絶縁膜上に接して形成されたゲート電極と、少なくとも前記ゲート電極の上面または側面を覆う保護膜とを有し、前記ゲート電極は、前記基板側から順に窒素を含む第1のタンタル層、第2のタンタル層、および窒素を含む第3のタンタル層からなる3層構造を有し、前記チャネル形成領域は、シリコンの結晶化を助長する触媒元素を含有し、前記触媒元素の濃度は、チャネル形成領域よりもソース領域およびドレイン領域のほうが高いことを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

【0022】上記構成において、前記ゲート電極の上面および側面に前記保護膜を介して絶縁物を有し、前記低濃度不純物領域と前記ドレイン領域との境界と、前記低濃度不純物領域と前記ソース領域との境界は、前記絶縁物により決定されることを特徴としている。

【0023】上記構成において、前記ゲート電極の側面に前記保護膜を介してサイドウォールを有し、前記低濃度不純物領域と前記ドレイン領域との境界と、前記低濃度不純物領域と前記ソース領域との境界は、前記サイドウォールにより決定されることを特徴としている。

【0024】上記構成において、前記ゲート電極の側面に接してサイドウォールを有し、ゲート電極の上面および前記サイドウォールは、前記保護膜により覆われていることを特徴としている。

【0025】上記構成において、前記ソース領域および前記ドレイン領域には、N型の導電性を付与する不純物が添加されていることを特徴としている。

【0026】上記各構成において、前記ソース領域および前記ドレイン領域には、N型の導電性を付与する不純物およびP型の導電性を付与する不純物が添加されていることを特徴としている。

【0027】上記構成において、前記ソース領域および前記ドレイン領域は、少なくとも一部がシリサイドであることを特徴としている。

【0028】本発明の第2の特徴は、異方性エッチングによりサイドウォールを形成すると同時に、マスクを利用して絶縁物（前記サイドウォールよりも寸法の大きい）を形成することである。高速駆動回路部においては、サイドウォールを用いた自己整合プロセス（セルフアライン）によってLDD構造を有するTFTを配置する。一方、高耐圧回路部においては、マスクを用いた非自己整合プロセス（ノンセルフアライン）によってLDD構造を有するTFTを配置する。

【0029】本明細書中で開示する本発明の第3の構成は、同一基板上に、第1の半導体素子からなる高耐圧回路と第2の半導体素子からなる高速駆動回路とを備えた

半導体装置であって、前記高耐圧回路は、第1のゲート電極と、前記第1のゲート電極の上面および側面を覆う絶縁物と、前記絶縁物をマスクとしてN型またはP型の導電性を付与する不純物が添加された第1のソース領域および第1のドレイン領域と、を有する第1の半導体素子からなり、前記高速駆動回路は、第2のゲート電極と、前記第2のゲート電極の側面にサイドウォールと、前記サイドウォールをマスクとしてN型またはP型の導電性を付与する不純物が添加された第2のソース領域および第2のドレイン領域と、を有する第2の半導体素子からなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

【0030】本明細書中で開示する本発明の第4の構成は、タンタルを主成分とする材料からなる層上に金属材料からなる層が積層された多層配線と、前記多層配線を覆って形成された層間絶縁膜と、前記層間絶縁膜上に形成された金属配線と、を有し、前記層間絶縁膜には開孔部が形成されており、前記開孔部を介して前記多層配線と前記金属配線とが接続されていることを特徴とする半導体装置である。

【0031】本明細書中で開示する本発明の第5の構成は、絶縁表面を有する基板上に半導体素子からなる半導体回路を備えた半導体装置の作製方法であって、絶縁表面を有する基板上に結晶性半導体膜を形成する工程と、前記結晶性半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に配線を形成する工程と、前記配線をドーピングマスクとしてN型の導電性を付与する不純物を添加する第1のドーピングをする工程と、前記配線を覆って保護膜を形成する工程と、前記配線および前記保護膜を覆って絶縁膜を形成する工程と、前記絶縁膜上の一部にマスクを形成する工程と、異方性エッチングを行うことによって、前記絶縁膜をエッチングし配線側面に概略三角形の絶縁物を形成すると同時に、前記マスクの下方に存在する絶縁物を残す工程と、前記概略三角形の絶縁物、前記絶縁物、およびゲート電極をドーピングマスクとして第1のドーピングより高濃度の第2のドーピングをする工程と、加熱処理を施し、前記触媒元素をゲッタリングさせる工程と、を有する半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

【0032】本明細書中で開示する本発明の第6の構成は、絶縁表面を有する基板上に半導体素子からなる半導体回路を備えた半導体装置の作製方法であって、絶縁表面を有する基板上に結晶性半導体膜を形成する工程と、前記結晶性半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に配線を形成する工程と、前記配線を覆って絶縁膜を形成する工程と、前記絶縁膜上の一部にマスクを形成する工程と、異方性エッチングを行うことによって、前記絶縁膜をエッチングし配線側面に概略三角形の絶縁物を形成すると同時に、前記マスク

の下方に存在する絶縁物を残す工程と、前記概略三角形の絶縁物、前記絶縁物、およびゲート電極をドーピングマスクとしてN型の導電型を付与する不純物またはP型の導電型を付与する不純物を添加する工程と、を有する半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

【0033】上記第5の構成または第6の構成に記載のゲート絶縁膜上に配線を形成する工程は、前記基板側から順に窒素を含む第1のタンタル層、第2のタンタル層、および窒素を含む第3のタンタル層を連続して成膜し、パターンニングする工程であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【0034】上記第5の構成または第6の構成に記載の絶縁表面を有する基板上に結晶性半導体膜を形成する工程は、前記絶縁表面に接して非晶質半導体膜を形成する工程と、前記非晶質半導体膜に珪素の結晶化を助長する触媒元素を保持させる工程と、加熱処理により、前記非晶質半導体膜を結晶化して結晶性半導体膜を形成する工程を有することを特徴としている。

【0035】上記第5の構成または第6の構成に記載の絶縁表面を有する基板上に結晶性半導体膜を形成する工程は、前記絶縁表面に接して非晶質半導体膜を形成する工程と、前記非晶質半導体膜に珪素の結晶化を助長する触媒元素を保持させる工程と、レーザー光の照射により、前記非晶質半導体膜を結晶化して結晶性半導体膜を形成する工程を有することを特徴としている。

【0036】

【発明の実施の形態】本発明においては、ゲート配線およびゲート電極の配線材料として、耐熱性の高い材料を用いた多層構造とし、好ましくは、タンタル(Ta)またはタンタルを主成分とする材料を少なくとも一層に用いる構造とする。なお、タンタルはシリコンと仕事関数が近いこと、TFTのしきい値のシフトが少なく好ましい配線材料である。

【0037】Taには2種類の結晶構造(体心立方格子[α -Ta]、正方格子構造[β -Ta])があることが知られている。正方格子構造[β -Ta]を有する薄膜の固有抵抗は、 $170 \sim 200 \mu\Omega\text{cm}$ 程度であり、体心立方格子[α -Ta]を有する薄膜の抵抗値は、1

$3 \sim 15 \mu\Omega\text{cm}$ である。一般に、Ta薄膜はそのほとんどが β -Taとなるが、成膜時に不純物、例えば N_2 を微量に混入させることによって α -Ta(bcc-Taとも呼ばれる)を形成できることが知られている。

【0038】本発明においては、Ta-N膜を成膜後、連続的にこのTa-N膜の上にTa膜を積層すると、 α -Taを得ることができた。特に、Ta-N膜の膜の成分にもよるが、Ta-N膜の膜厚は、膜厚30nm以上、好ましくは40nm以上とし、Ta膜を積層すると α -Taを得ることができた。

【0039】ただし、タンタルまたはタンタルを主成分とする材料は、酸化しやすく、さらに水素を吸蔵しやすい性質を有しているため、成膜後に酸化や水素の吸蔵等の膜質変化が生じて抵抗が大きくなってしまいう問題が生じていた。

【0040】そこで、本発明においては、ゲート配線およびゲート電極の構造として、Ta-N膜を成膜後、連続的にこのTa-N膜の上にTa膜を積層し、さらにこのTa膜の上にTa-N膜を積層する3層構造とし、さらに保護膜で覆う構造とする。

【0041】Ta-N膜は、Ta膜と比較して酸化しにくく、また水素を吸蔵しにくいこと、本発明では、Ta-N膜でTa膜を挟み込む構造(Ta-N/Ta/Ta-N)とした。こうすることによって、膜質の変化を防いだ。加えて、最上層としてTa-N膜を積層したのは、他の配線とのコンタクトを形成する際、Ta膜が露出して酸化や水素の吸蔵を防ぐためである。

【0042】このように連続成膜して3層構造とし、成膜後、熱処理工程を加える前に、さらに保護膜で覆う構造とすることで、酸化や水素の吸蔵により抵抗が増大することを防止した。

【0043】表1に2時間の熱処理(450℃、500℃、550℃、600℃)前後のタンタル多層膜(Ta-N/Ta/Ta-N; 膜厚50nm/250nm/50nm)の抵抗値の変化を示す。この実験における温度履歴は400℃から処理温度の10℃下まで9.9℃/分で昇温した後、処理温度まで5℃/分で昇温し、2時間保持した後、徐冷したのちに、測定を行った。

【0044】

【表1】

表1

| 処理条件 | 処理前の抵抗値 | 処理後の抵抗値 | 処理後の膜厚 |
|-----------|----------------|--------------|--------|
| 450℃ 2hrs | 17.5k Ω | 25k Ω | 400nm |
| 500℃ 2hrs | 10.5k Ω | 50k Ω | 530nm |
| 550℃ 2hrs | 19k Ω | ∞ | 700nm |
| 600℃ 2hrs | 10.5k Ω | ∞ | 1000nm |

【0045】表1より、加熱温度が上がるに従って、タンタル多層膜が変質(酸化等)したため、抵抗値と膜厚

が増加していることが読み取れる。

【0046】次に、表2に2時間(450℃、500

℃、550℃、600℃)の熱処理前後の保護膜(SiN:膜厚25nm)で覆われたタンタル多層膜(TaN/Ta/TaN)の抵抗値の変化を示す。なお、温度履

表2

| 処理条件 | 処理前の抵抗値 | 処理後の抵抗値 | 処理後の膜厚 |
|-----------|---------|---------|--------|
| 450℃ 2hrs | 21.3kΩ | 19.1kΩ | 350nm |
| 500℃ 2hrs | 19.8kΩ | 19.0kΩ | 350nm |
| 550℃ 2hrs | 10.3kΩ | 11.7kΩ | 360nm |
| 600℃ 2hrs | 50kΩ | 40kΩ | 340nm |

【0048】表2より、保護膜(SiN)をつけることにより熱処理による抵抗値や膜厚の増加が抑制されることが読み取れる。

【0049】以上のことから、耐熱性の高いTa膜またはTaを主成分とする膜を配線材料に用い、さらに保護膜で覆うことで、高温(400~700℃)での加熱処理を施すことが可能となり、例えば結晶性半導体膜中の金属元素をゲッタリングする処理等を施すことができる。このような加熱処理を加えても、ゲート配線(配線幅:0.1μm~5μm)が耐えうる温度範囲以内であり、且つ保護膜により保護されているので酸化されずに、低抵抗な配線を維持することができる。

【0050】また、Ta₂N膜における窒素組成比は、5~60%の範囲とするが、スパッタ装置やスパッタ条件等によって左右されるため、上記数値には必ずしも限定されない。なお、Ar(アルゴン)またはXe(キセノン)を用いたプラズマを用いてα-Ta膜を得ることが好ましい。

【0051】また、タンタルに代えて、チタン、クロム、モリブデン、シリコン等を用いることも可能である。また、それらの合金、例えば、Mo-Ta合金、Nb-Ta合金、W-Ta合金等を用いることも可能である。また、これらの合金に窒素を含ませた合金を用いることも可能である。

【0052】本発明の保護膜としては、無機絶縁膜、例えば、窒化珪素膜、窒化酸化珪素膜またはそれらの積層膜等を用いることができる。ただし、保護膜に酸素または水素等を含む場合は、酸化または水素の吸蔵によって、抵抗が増大する恐れがあるため、保護膜中の酸素または水素の含有率が低いことが望ましい。なお、保護膜の膜厚は10~100nmの範囲であれば、保護膜としての機能を果たす。また、保護膜を形成する工程は、熱処理を加える工程の前であれば特に限定されず、例えば、ゲート電極形成後、サイドウォール形成後、またはドーピング工程後に形成する構成としてもよい。

【0053】また、配線間の接続において良好なオーミックコンタクトを得るための他の構成として、図10に示すように、タンタルを主成分とする層1001上にチタンを主成分とする層1002を積層した多層配線を設

歴は表1と同一とした。

【0047】

【表2】

ける構成とすることが好ましい。このチタンを主成分とする層は、コンタクトホールを形成する際、タンタルを主成分とする層1001の酸化や水素の吸蔵を防ぐ。また、チタンを主成分とする層は、露出して酸化しても絶縁体にならないため良好なオーミックコンタクトを得ることができる。即ち、チタンを主成分とする層は、タンタルを主成分とする層を保護するとともに、十分にエッチング工程の際にマージンがとれ、コンタクトホール(開孔部)の形成をも容易とする。

【0054】また、本発明においては、従来の陽極酸化工程によるLDD領域の形成(自己整合プロセスを用いた)を用いず、新規な方法によってLDD領域を形成することを特徴としている。

【0055】本発明においては、図3(C)~図4(A)に示す工程を利用することにより工程数を増加することなく、同時に、画素マトリクス部(高耐圧回路部)と論理回路部(高速駆動回路部)のそれぞれにおいて、Nチャネル型のTFTの構造を異ならせる。

【0056】図3(C)に示す工程では、図3(B)で形成した絶縁膜302に異方性エッチングを施す。この工程により、画素マトリクス部(高耐圧回路部)においては形成されたマスク303の下に絶縁物125と、高速駆動回路部においてはサイドウォール126、127とが同時に形成される。なお、この工程においては、保護膜301がエッチングストッパーとして働き、ゲート電極119~121を保護する。

【0057】なお、図3(C)~図4(A)に示す工程では、LDD幅を調節して特性の異なる2種類のTFTを作製した例を示したが、マスク303を適宜変更することによって、必要な幅を有するLDD領域を必要に応じて適宜形成することができる。

【0058】本発明の高耐圧回路部においては、図3(C)に示すマスク303と絶縁物125を用いた非自己整合プロセス(ノンセルフアライン)によって不純物が保持された低濃度不純物領域401、402を備えたNチャネル型のTFTを配置する。

【0059】本明細書でいう高耐圧回路部とは、高速耐圧が優先される回路、例えば液晶に電圧を印加するための画素マトリクス回路、信号を増幅するためのバッファ

回路等を指している。

【0060】この高耐圧回路部、例えば、画素マトリクス部における低濃度不純物領域401、402は、OFF電流を低減するために、 $0.1 \sim 5 \mu\text{m}$ （好ましくは $0.3 \sim 2 \mu\text{m}$ ）程度の比較的大きな寸法とする。また、ドレインに加わる信号電圧が反転した場合における動作の対称性を確保するためにソース側とドレイン側の低濃度不純物領域の寸法は可能な限り同一となるようにすることが好ましい。なお、本明細書において、この寸法は、キャリアの移動方向400におけるものとして定義される。

【0061】上記のような構成とすることで、画素マトリクス部に配置するTFTを低OFF電流特性を有したものとす。

【0062】一方、本発明の高速駆動回路部においては、図3(C)に示すサイドウォール126を用いた自己整合プロセス（セルフアライン）によって不純物が保持された低濃度不純物領域405、406、409、410を備えたNチャネル型のTFTを配置する。

【0063】本明細書でいう高速駆動回路部とは、表示装置を駆動するための論理回路のことを指しており、高速動作が優先される回路、例えばCMOS回路等を指している。

【0064】なお、この高速駆動回路部における低濃度不純物領域は、高速動作させるために、高耐圧回路部における低濃度不純物領域よりその寸法を小さくする。

【0065】上記のような構成とすることで、高速駆動回路部に配置するTFTを高速駆動特性を有したものとす。

【0066】このようにして、プロセスを複雑にすることなく、図1に示すように、画素マトリクス部とCMOS回路部のそれぞれにおいて、Nチャネル型のTFTの構造を異なるものとすることができる。

【0067】

【実施例】以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことは勿論である。

【0068】【実施例1】本願発明を利用した半導体素子からなる半導体回路を備えた半導体装置について、図1を用いてその構造の一例を説明する。なお、本発明にかかる半導体装置は、同一基板上に周辺駆動回路部と画素マトリクス回路部とを備えている。本実施例では、図示を容易にするため、同一基板上に周辺駆動回路部の一部を構成するCMOS回路143と、画素マトリクス回路部141の一部を構成するNチャネル型TFT142とが示されている。

【0069】また、図6は図1の上面図に相当する図であり、図6において、太線A-A'で切断した部分が、図1の画素マトリクス部の断面構造に相当し、太線B-B'で切断した部分が、図1のCMOS回路の断面構造に相当する。

【0070】基板上には、いずれの薄膜トランジスタ（TFT）においても結晶性半導体膜からなる活性層が所定の形状にパターニング形成されている。

【0071】高速駆動回路であるCMOS回路143のPチャネル型TFT145の場合には、活性層としてP⁺型の高濃度不純物領域114、115（ソース領域及びドレイン領域）と、チャネル形成領域111と、前記P⁺型の高濃度不純物領域と前記チャネル形成領域の間にP⁻型の低濃度不純物領域112、113が形成されている。さらにチャネル形成領域上にはゲート絶縁膜118が形成され、前記チャネル形成領域の上方において前記ゲート絶縁膜上に接して形成されたゲート電極121と、前記ゲート電極を覆う保護膜124が形成されている。そしてゲート電極の側面に保護膜を介して断面形状が概略三角形の絶縁物127（サイドウォール）が設けられている。その上を覆って第1の層間絶縁膜128、パッシベーション膜138、第2の層間絶縁膜134が形成されている。そして高濃度不純物領域114、115に配線132、133と引出し配線139、140が接続され、さらに第3の層間絶縁膜136が形成されている。

【0072】一方、CMOS回路のNチャネル型TFT144の活性層については、N⁺型の高濃度不純物領域109、110（ソース領域及びドレイン領域）と、チャネル形成領域106と、前記N⁺型の高濃度不純物領域と前記チャネル形成領域の間にN⁻型の低濃度不純物領域107、108が形成されている。なお、CMOS回路のNチャネル型TFTにおいて、活性層以外の部分は、Pチャネル型TFTと同一構造である。

【0073】また、高耐圧回路である画素マトリクス部141を形成するNチャネル型TFT142については、CMOS回路143のNチャネル型TFT144の構造とは全く異なっており、活性層においてはCMOS回路のNチャネル型TFTと比較して低濃度不純物領域の寸法が大きい。また、ゲート電極119の上面及び側面は保護膜122を介して絶縁物125で覆われている。最後に、ソース領域105に配線130が接続される一方、ドレイン領域104には配線129を接続し、パッシベーション膜138、第2の層間絶縁膜134上にブラックマスク135を設け、さらにITO等の画素電極137が形成されている。なお、画素マトリクス部においては、キャリアの移動方向が逆転する場合があるため、ソース領域とドレイン領域が逆転する場合がある。

【0074】また、いずれの薄膜トランジスタ（TFT）においてもドレイン側に配置された低濃度不純物領域は、チャネル形成領域とドレイン領域との間の電界を緩和させるという機能を有している。その機能によって、OFF動作時におけるドレイン-チャネル間のキャリアの移動を抑制し、OFF電流を低減させることがで

きる。他方で上記機能によって、ホットキャリア効果による劣化を抑制することができる。

【0075】次に、図2を参照して、図1に示した半導体装置の作製方法を詳細に説明する。

【0076】まず、絶縁表面を有する基板を用意する。基板としては、ガラス基板、石英基板、セラミックス基板、半導体基板を用いることができる。本実施例においては基板100として石英基板を用いた。なお、平坦性を向上させるため、この基板上に下地膜（酸化珪素膜、窒化珪素膜、窒化酸化珪素膜等からなる）を設ける構成としてもよい。

【0077】次に、基板に活性層を形成する。活性層は20～100nm（好ましくは25～70nm）の結晶性半導体膜（代表的には結晶性珪素膜）で構成すればよい。結晶性珪素膜の形成方法は、公知の如何なる手段、例えば、レーザー結晶化、熱結晶化等を用いてもよいが、本実施例では非晶質半導体膜の結晶化の際に結晶化を助長する触媒元素（ニッケル）を添加する方法を用いた。なお、この技術については特開平7-130652号公報、特開平9-312260号等に詳細に記載されている。結晶化を助長する金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類のものを用いる。また、非晶質半導体膜中の拡散が置換型拡散であるGe、Pbを用いることもできる。また、他の非晶質半導体膜として、Geを含む珪素膜を用いることができる。

【0078】本実施例では膜厚50nmの非晶質珪素膜を減圧CVD法で成膜した。次にTEOSを原料に用いて酸化珪素膜を150nmの厚さに成膜し、ウェットエッチングによって開口部を形成した。そして、スピナーを用いてNi酢酸溶液を塗布し、更に乾燥させてNi層を形成した。ただし、Ni層は完全な層を成しているものではない。Ni酢酸溶液のNi濃度は重量換算で1～20ppmとする。本実施例では10ppmとした。この状態で開口部における非晶質珪素膜にNiが保持される。次に窒素雰囲気中において570℃、14時間加熱することによって結晶性珪素膜を得た。この際、開口部におけるNiが保持された領域から基板表面と概略平行に結晶成長する。このような結晶成長の形態を横成長と呼んでいる。こうして形成された結晶性珪素膜は、結晶粒界において、結晶格子が連続的に連なり優れた結晶性を有するポリシリコン膜である。

【0079】この後、ゲッタリング工程、例えば窒素、酸素またはハロゲン雰囲気中において400～1000℃、0.1～12時間の熱処理を施して酸化膜を形成し、その酸化膜を除去する工程を加えて膜中の触媒元素を低減し、さらに良好な結晶性珪素膜としてもよい。

【0080】次いで、得られた結晶性珪素膜を通常のフォトリソ工程でパターニングして、Nチャネル型TFT144の活性層202と、Pチャネル型TFT145の

活性層203と、画素マトリクス回路を構成するNチャネル型TFT142の活性層201とを得た。（図2

（A））なお、図2では各1つずつ（計3個）図示したが、実際は回路構成に合わせてNチャネル型TFTとPチャネル型TFTがそれぞれ複数形成されている。

【0081】次に、活性層201～203を覆って、後の工程によりゲート絶縁膜116～118となる絶縁膜204a、204bを形成する。本実施例では、酸化窒化珪素膜（SixNy）からなる100nmの厚さの絶縁膜204a、50nmの厚さの絶縁膜204bを形成した。（図2（B））高耐圧回路のゲート絶縁膜となる領域の膜厚を選択的に高速駆動回路のゲート絶縁膜となる領域よりも厚くして、さらなる高耐圧を得る構成とする。膜厚の異なる絶縁膜を形成する方法は公知の手段を用いればよく、例えば50nmの膜厚の絶縁膜を全面に成膜した後、選択的に50nmの膜厚の絶縁膜を積層する方法等を用いればよい。この絶縁膜204a、204bとしては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜またはこれらの積層膜を10～300nmの膜厚で用いることができる。また、この絶縁膜の成膜後に、ゲッタリング工程、例えば窒素、酸素またはハロゲン雰囲気中において400～1000℃、0.1～12時間の熱処理を施して酸化膜を形成し、触媒元素を低減すると同時にその酸化膜をゲート絶縁膜の一部とする工程を加えてもよい。

【0082】その後、絶縁膜上にスパッタ装置内に導入する窒素ガスを調節することによって窒化タンタル膜（Ta₂N（膜厚範囲30～100nm））と、当該窒化タンタル膜上にタンタル膜（Ta（膜厚範囲100～400nm））と、当該タンタル膜上に窒化タンタル膜（Ta₂N（膜厚範囲30～100nm））とを連続成膜する。そして、パターニングを施し、3層構造を有するゲート配線およびゲート電極を形成する。

【0083】本実施例においては、低抵抗なα-Taを形成するために、Ta₂N膜（好ましくは膜厚40nm以上）を成膜後、連続的にこのTa₂N膜の上にTa膜を積層する構造とした。

【0084】また、Ta₂N膜と比較してTa膜は、水素の吸蔵や酸化を生じやすいため、本実施例では、Ta膜を挟み込む構造（Ta₂N〔119c、120c、121c；膜厚50nm〕／Ta〔119b、120b、121b；膜厚250nm〕／Ta₂N〔119a、120a、121a；膜厚50nm〕）として抵抗の増大を防いだ。（図2（C））加えて、最上層としてTa₂N膜を積層したのは、他の配線とのコンタクトを形成する際、Ta膜が露出し酸化や水素の吸蔵を防ぎ、良好なオーミックコンタクトを得るためである。

【0085】また、配線材料のタンタルに代えて、例えば、Mo、Ti、Nb、W、Mo-Ta合金、Nb-Ta合金、W-Ta合金等を用いることも可能である。ま

た、これらの材料に窒素を含ませた材料またはシリコンとの化合物であるシリサイドを用いることも可能である。

【0086】次いで、レジスト（図示しない）でPチャネル型TFTを選択的に覆い、イオン注入法によって活性層にゲート電極をマスクにしてリンイオンを自己整合的にドーピングをした。ドーピング量は $1 \times 10^{13} \sim 8 \times 10^{15} \text{ atoms/cm}^3$ とする。レジスト除去後、同様にして、レジスト（図示しない）でNチャネル型TFTを選択的に覆い、ボロンイオンをイオン注入法によってドーピングした。この結果、低濃度不純物領域である弱いN型領域（N⁻領域）205、206と、弱いP型領域（P⁻領域）207が形成された。（図2（D））本実施例では、イオン注入法を用いたが、他のドーピング方法、例えばプラズマドーピング法、不純物イオンを含む溶液を塗布する方法、不純物イオンを含む膜を成膜する方法を用いてよい。

【0087】次いで、ゲート電極119～121を覆って、無機膜からなる保護膜301を形成する。本実施例でゲート電極に用いたタンタル膜は、酸化や水素の吸蔵を生じやすく、抵抗が高くなってしまうため、窒化珪素膜からなる保護膜301でゲート電極を覆った。この保護膜の他の材料としては窒化珪素膜、窒化酸化珪素膜（SiO_xN_y）、非晶質珪素膜、結晶性珪素膜またはそれらの積層膜等を用いることができる。この保護膜は、レーザー光または熱からゲート電極および配線を防ぐことができる。また、この保護膜は、異方性エッチング（フッ素系エッチングガス、プラズマ衝撃等）からゲート電極および配線を防ぐこともできる。加えて、保護膜は、後の工程である異方性エッチング工程において、エッチングストッパーとしての機能も有している。ここでの保護膜の膜厚範囲は10～100nm、本実施例では25nmを成膜した。（図3（A））

【0088】なお、この保護膜は、配線のパターンニング直後に形成してもよく、工程順序は実施者が適宜決定すればよい。

【0089】次に、絶縁性の被膜を厚さ200～1000nm、ここでは酸化珪素膜を300nmに形成した。この絶縁性の被膜の他の材料としては、窒素珪素膜、窒化酸化珪素膜（SiO_xN_y）、非晶質珪素膜、結晶性珪素膜またはそれらの積層膜等を用いることができる。この絶縁性の被膜は、ゲート電極側面への被覆性が優れていることが重要である。そして、画素マトリクス回路を構成するNチャネル型TFT上にLDD領域を形成するためのレジスト303を形成した。（図3（B））

【0090】その後、絶縁性の被膜をドライエッチング法等の手段によって異方性エッチングする。この結果、図3（C）に示される状態が得られる。この工程において、保護膜がエッチングストッパーとしての役目を果たしている。

【0091】即ち、図3（C）において、

1）CMOS回路を構成するNチャネル型TFTおよびPチャネル型TFTのゲート電極の側面にサイドウォール126、127が形成される。（異方性エッチングによる）

2）画素マトリクス回路を構成するNチャネル型TFT上には、絶縁物125が形成される。（エッチングマスクとしてマスク303使用。）を同時に行うことができる。こうすることによって、プロセスを複雑にすることなく、後のドーピング工程によりLDD領域の幅の異なるNチャネル型TFTを作製することができる。

【0092】次に、この絶縁物125およびサイドウォール126、127をマスクとして、保護膜301と絶縁膜204をエッチングして、ゲート絶縁膜116～118を形成する。なお、この工程と同時または前後にレジスト303を除去した。（図3（D））

【0093】次いで、5～10keVと低い加速電圧で2回目のリン元素のドーピング工程を行う。（図4

（A））本実施例では、ゲート電極に不純物、特に水素が添加されるのを防ぐために、イオン注入法を用いたが、他のドーピング方法、例えばプラズマドーピング法、リンイオンを含む溶液を塗布する方法、リンイオンを含む膜を成膜する方法を用いてもよい。

【0094】こうして、403、404、407、408で示される領域に高濃度にリン元素が添加された高濃度不純物領域（N⁺領域）が形成され、411、412で示される領域に低濃度にボロン元素と高濃度にリン元素が添加された領域が形成される。本実施例のN⁺型領域には、 $1 \times 10^{20} \sim 8 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されるようにした。401、402、405、406で示されるN⁻型領域のリン濃度は、 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ になるように調節する。なお、Nチャネル型TFTにおいて、N⁺型領域はソース領域またはドレイン領域となり、N⁻型領域は低濃度不純物領域となる。

【0095】次にNチャネル型TFTをレジスト416で覆い、Pチャネル型TFTの活性層にボロンを添加して、P⁺型領域417、418を形成する。（図4

（B））ボロンのドーピング量は、P⁺型領域のボロンイオンの濃度がN⁺型領域に添加されるリンイオンの濃度の1.3～2倍程度になるようにする。本実施例では、ゲート電極に不純物、特に水素が添加されるのを防ぐために、イオン注入法を用いたが、他のドーピング方法、例えばプラズマドーピング法、ボロンイオンを含む溶液を塗布する方法、ボロンイオンを含む膜を成膜する方法を用いてよい。

【0096】P⁺型領域417、418はPチャネル型TFTのソース領域またはドレイン領域となり、P⁻型領域409、410は低濃度不純物領域となる。リンイオン、ボロンイオンが注入されなかった領域413～4

15が後にキャリアの移動経路となる真性または実質的に真性なチャネル形成領域である。

【0097】なお、本明細書中で真性とは、シリコンのフェルミレベルを変化させる不純物を一切含まない領域を指し、実質的に真性な領域とは、電子と正孔が完全に釣り合って導電性を相殺させた領域、即ち、しきい値制御が可能な濃度範囲 ($1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$) でN型またはP型を付与する不純物を含む領域、または意図的に逆導電型不純物を添加することにより導電性を相殺させた領域を示す。

【0098】この後、シリサイドを形成して低抵抗化を図るため、選択的に保護膜とゲート絶縁膜を除去して、選択的にN⁺型領域上またはP⁺型領域上に金属膜を成膜する工程を加えてもよい。シリサイド化するための金属元素としては、コバルト、チタン、タンタル、タングステン、モリブデン等を用いることが可能である。

【0099】次に不活性または酸化性雰囲気中において450℃以上、0.1～12時間、本実施例では550℃、1～2時間の加熱処理をした。ただし、この加熱温度の上限は使用した基板の歪点温度以下である。(図4(C))

【0100】上記加熱工程により、非晶質珪素膜の結晶化のために意図的に添加したNiが図4(C)中の矢印で模式的に示すように、チャネル形成領域からそれぞれのソース領域およびドレイン領域へ拡散する。これはこれらの領域がリン元素を高濃度に含むためであり、これらソース領域およびドレイン領域に到達した触媒元素(Ni)はそこで捕獲(ゲッタリング)される。400～600℃、0.5～4時間の加熱処理で、Niを十分ゲッタリングすることができる。

【0101】その結果、チャネル形成領域内のNi濃度を低減することができる。チャネル形成領域中のNi濃度はSIMSの検出下限である $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にすることができる。他方、ゲッタリングシンクに用いたソース領域およびドレイン領域中のNi濃度はチャネル形成領域よりも高くなる。

【0102】N型の導電性を付与する不純物としてリンの他に、アンチモン、ビスマスを用いることができる。ゲッタリング能力が最も高いのはリンであり、次いでアンチモンである。

【0103】特に、Pチャネル型TFTのソース領域およびドレイン領域114、115のように、リンとボロン双方を添加して、ボロン濃度をリンの1.3～2倍程度とした領域は、リンだけを添加したNチャネル型TFTのソース領域およびドレイン領域よりもゲッタリング能力が高いことが実験で確認されている。

【0104】更に、この加熱処理でゲッタリングと同時にソース領域およびドレイン領域および低濃度不純物領域に添加されたリン、ボロンが活性化される。従来では、アルミニウム材料の耐熱性が低かったために450

℃程度の加熱処理しか施せなかった。本実施例では、加熱温度を500℃以上によりドーパントを十分に活性化でき加熱処理のみでソース領域およびドレイン領域をより低抵抗化することができる。

【0105】更に、この加熱処理でイオンのドーピング工程の際、結晶化が破壊された領域の結晶性の改善が進行する。

【0106】即ち、この不活性雰囲気または酸化性雰囲気での加熱処理において、

- 1) チャネル形成領域内の触媒元素濃度を低減するゲッタリング処理
 - 2) ソース領域およびドレイン領域における不純物の活性化処理
 - 3) イオンドーピング工程の際に生じた結晶構造のダメージを回復するアニール処理
- を同時に行うことができる。

【0107】この加熱処理工程と同時にまたは前後にレーザ光や赤外光、或いは紫外光による光アニールを施す工程としてもよい。

- 20 【0108】その後、図5(A)に示す状態を得たら、第1の層間絶縁膜128を成膜する。第1の層間絶縁膜128としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜(SiO_xN_y)、有機樹脂膜を用いる。有機樹脂膜としては、ポリイミド、アクリル、BCB(ベンゾシクロブテン)を用いることができる。ここでは、第1の層間絶縁膜128として、窒化珪素膜をプラズマCVD法により300nmの厚さに成膜する。

- 30 【0109】そしてコンタクトホール形成を行い、シリサイド化するための金属膜を選択的に設け、加熱処理を行い、シリサイド化させた後、金属膜を除去した。シリサイド化するための金属元素としては、コバルト、チタン、タンタル、タングステン、モリブデン等を用いることが可能である。こうすることによって、良好なオーミックコンタクトを得ることができる。次に、コンタクト電極を構成するための図示しない金属膜を成膜する。ここでは、この金属膜として、チタン膜とアルミニウム膜とチタン膜との3層膜をスパッタ法により成膜する。そしてこの金属膜(積層膜)をパターニングすることにより、129～133で示される電極および配線を形成する。

- 40 【0110】こうして図5(B)に示す状態を得る。次にパッシベーション膜138を成膜する。パッシベーション膜138としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜を用いる。ここでは、窒化珪素膜を200nmの厚さにプラズマCVD法でもって成膜する。

- 50 【0111】次いで、第2の層間絶縁膜134をアクリル樹脂でもって形成する。第2の層間絶縁膜134としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機樹脂膜を用いる。ここでは、スピンコート法でもって膜厚1μmの有機樹脂膜を形成する。他の有機樹脂膜とし

ては、ポリイミド、ポリイミドアミド、ポリアミド、BCB（ベンゾシクロブテン）等を用いることができる。

【0112】次に、第2の層間絶縁膜134にエッチングを施し、コンタクトホールを形成した後、Tiからなる金属膜300nmを成膜した。そして、この金属膜にパターニングを施してブラックマスク135と引出し配線139、140を形成した。本実施例においては、ブラックマスクと電極129で補助容量を形成している。

【0113】そして、第3の層間絶縁膜136を再びアクリル樹脂でもって形成する。第3の層間絶縁膜136としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機樹脂膜を用いる。ここでは、スピンコート法でもって膜厚1μmの第3の層間絶縁膜136を形成する。他の有機樹脂膜としては、ポリイミド、ポリイミドアミド、ポリアミド、BCB（ベンゾシクロブテン）等を用いることができる。有機樹脂膜を利用した場合には、図示されるようにその表面を平坦にすることができる。

【0114】次にコンタクトホールの形成を行い、画素電極137を形成する。ここでは、まずITO膜を100nmの厚さにスパッタ法でもって成膜し、これをパターニングすることにより、137で示される画素電極を形成する。

【0115】最後に350℃の水素雰囲気中において、1時間の加熱処理を行い、半導体層中の欠陥を減少させる。こうして図5（C）に示す状態を得る。

【0116】こうして、液晶パネルを構成する一方の基板を完成させる。この基板はTFT基板と称される。この後、液晶を配向させるための配向膜（図示せず）や封止材を形成し、別に作製した対向基板と張り合わせる。そして、TFT基板と対向基板との間に液晶を充填させることにより、液晶パネルを完成させる。

【0117】以上示したように本実施例に示す構成を採用することにより、

- ・低OFF電流特性及び高信頼性を有したNチャネル型TFTからなる半導体回路
- ・高速動作を有したNチャネル型TFT及びPチャネル型TFTからなる半導体回路

といった構成を同一基板上に集積することができた。

【0118】本実施例では、簡略化するため、ゲート電極がシングルゲート構造を有する画素マトリクス部のTFTを説明に用いたが、オフ電流のバラツキを低減するために、少なくともダブルゲート構造、好ましくは、トリプルゲート構造等のマルチゲート構造とする。

【0119】本実施例に示したTFT構造は、トップゲート型の一例（コプレーナ型）であり、特に本実施例の構造に限定されるものではなく、ボトムゲート型TFTに適用することも可能である。また、本実施例では透過型LCDを作製した例を示したが、半導体装置の一例を示したにすぎない。なお、ITOに代えて画素電極を反射性の高い金属膜で構成し、画素電極のパターニングの

変更を適宜行うことによって反射型LCDを作製することは容易にできる。また、反射型LCDを作製する際、下地膜として耐熱性金属膜上に絶縁膜を積層する構造または窒化アルミニウム上に絶縁膜を積層する構造を用いると、絶縁膜下の金属膜が放熱層として働き有効である。なお、上記工程順序を実施者が適宜変更することは可能である。

【0120】〔実施例2〕 実施例1において、所望のしきい値が得られない場合は、しきい値を制御することが必要となる。本実施例では、図7に示したように、電極701～703を設けた。この電極に任意の電圧を印加することによりしきい値を制御する。基本的な構成は実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0121】本実施例では、基板上に非晶質半導体膜または結晶性半導体膜を成膜し、パターニングを行い、リン元素を添加して導電性を付与する不純物がドーブされたシリコン電極701～703を設けた。

【0122】また、Pチャネル型TFTまたはNチャネル型TFTのしきい値電圧をマイナス側にシフトする場合は13族元素、例えばボロンがドーブされたシリコン電極を設けることは有効である。また、プラス側にシフトする場合は15族元素、例えばリンがドーブされたシリコン電極を設ければよい。

【0123】上記電極701～703としては、Ta、Ti、シリコンなどの元素を主成分とする高融点の導電性を有する材料または複数の材料の積層膜を用いることができる。

【0124】その後、絶縁膜704で基板全面を覆った。その後、実施例1と同様にTFTを作製し、図7に示す状態を得た。また、Pチャネル型TFTまたはNチャネル型TFTのしきい値電圧をマイナス側にシフトする場合は13族元素、例えばボロンを絶縁膜704にドーブすることは有効である。また、プラス側にシフトする場合は15族元素、例えばリンを絶縁膜704にドーブすることが好ましい。

【0125】本実施例では、電極701、702に正の電圧を印加した時、Nチャネル型TFTのしきい値電圧をマイナス側にシフトすることができる。また、電極に701、702に負の電圧を印加した時、Nチャネル型TFTのしきい値電圧をプラス側にシフトすることができる。同様に、Pチャネル型TFTのしきい値電圧も適宜調節することができる。

【0126】また、この電極701～703は、本実施例のように透過型液晶表示装置として用いた場合、裏面からの入射光によるTFTの劣化を防止する機能を有している。

【0127】〔実施例3〕 本発明の構成は、単結晶シリコン基板上に半導体素子を形成し、画素マトリクス回路、周辺駆動回路を形成したSiチップ・ベースド液晶

に適用することが可能である。本発明を反射型液晶表示装置に適用した場合の例を図 8 に示す。基本的な構成は実施例 1 とほぼ同様であるので、相違点のみに着目して説明する。

【0128】図 8 において、801 は P 型半導体領域、802 は N 型半導体領域、803 はドレイン領域、804 は低濃度不純物領域、805 は LOCOS 法により形成されたフィールド酸化膜、806 は容量電極、807 は金属からなる反射電極である。ソース領域及びドレイン領域はリン元素が添加されて N 型の導電型を示す。なお、P 型の導電型にするにはボロンを添加してソース領域及びドレイン領域を形成すればよい。

【0129】〔実施例 4〕 本実施例は、実施例 1 とは異なる方法により結晶性半導体膜を得る例である。本実施例では、珪素の結晶化を助長する触媒元素を利用して、レーザービーム形状を長方形または正方形に成形し、一度の照射で数 cm^2 ～数百 cm^2 の領域に均一なレーザー結晶化处理により結晶性半導体膜を得る方法に関する。基本的な構成は実施例 1 とほぼ同様であるので、相違点のみに着目して説明する。

【0130】本実施例は、非晶質珪素膜の表面に触媒元素を含む溶液を塗布することによって触媒元素 (Ni) を保持させる。Ni 酢酸溶液の Ni 濃度は重量換算で 1 ～1000 ppm とする。本実施例では 100 ppm とした。この状態で非晶質珪素膜の表面に Ni が保持される。その後不活性または酸化性雰囲気中においてエキシマレーザー光 (波長 248 ～308 nm) を照射することによって結晶性珪素膜を得た。なお、加熱処理と同時におこなってもよい。また、レーザー光の照射に代えて強光の照射、例えば RTA、RTP を用いてもよい。

【0131】本実施例では、波長 248 nm のレーザービーム形状を長方形または正方形に成形し、一度の照射で数 cm^2 ～数百 cm^2 の領域に均一なレーザー装置 (ソプラ社製の SAELC) を用いて、結晶性珪素膜を得た。

【0132】以降の工程は同一であるため、省略する。こうすることにより、TFT 特性が良好な TFT を作製することができた。

【0133】なお、本実施例を実施例 2、または実施例 3 と組み合わせることは可能である。

【0134】〔実施例 5〕 本実施例は、実施例 1 とは異なる方法により結晶性半導体膜を得る例である。本実施例では、触媒元素を用いない方法、例えば熱処理、レーザー結晶化方法を用いる。本実施例では、レーザービーム形状を長方形または正方形に成形し、一度の照射で数 cm^2 ～数百 cm^2 の領域に均一なレーザー光を非晶質半導体膜に照射する結晶化处理により結晶性半導体膜を得る方法に関する。基本的な構成は実施例 1 とほぼ同様であるので、相違点のみに着目して説明する。

【0135】本実施例は、非晶質珪素膜を形成した後、

不活性または酸化性雰囲気中においてエキシマレーザー光 (波長 248 ～308 nm) を照射することによって結晶性珪素膜を得た。なお、加熱処理と同時におこなってもよい。また、レーザー光の照射に代えて強光の照射、例えば RTA、RTP を用いてもよい。

【0136】本実施例では、波長 248 nm のレーザービーム形状を長方形または正方形に成形し、一度の照射で数 cm^2 ～数百 cm^2 の領域に均一なレーザー装置 (ソプラ社製の SAELC) を用いて、結晶性珪素膜を得た。

【0137】以降の工程は同一であるため、省略する。なお、本実施例は実施例 1 および 2 とは異なり、触媒元素を用いていないため不純物が少なく、TFT 特性が良好な TFT を作製することができた。

【0138】〔実施例 6〕 本実施例は、実施例 1 とは異なる工程順序により保護膜を形成する例である。本実施例では、サイドウォール形成後、サイドウォールを覆って保護膜を形成する方法を用いる。基本的な構成は実施例 1 とほぼ同様であるので、相違点のみに着目して図 9 を用いて説明する。

【0139】本実施例は、実施例 1 と同様に異方性エッチングにより高速駆動回路のゲート電極側面にサイドウォール 901 と、高耐圧回路のゲート電極の上面および側面に絶縁物 902 を形成する。次いで、ゲート絶縁膜の形成、リン元素の添加、ボロン元素の添加を実施例 1 に従って行い、保護膜 903、層間絶縁膜 904 を形成する工程とした。

【0140】次いで、不活性または酸化性雰囲気中において 450℃以上、0.1 ～1.2 時間の加熱処理を施すことにより、触媒元素のゲッターリング、不純物の活性化、イオンドーピング工程の際に生じた結晶構造のダメージを回復する。

【0141】そして、加熱処理工程が終了した後、コンタクトホール形成後、金属膜を成膜し、加熱処理を加え、高濃度不純物領域が露出した箇所にシリサイドを形成し、金属膜を除去する工程とした。なお、保護膜を形成する際にシリサイドを形成する工程としてもよいし、シリサイドを設けない構成としてもよい。

【0142】以降の工程は同一であるため、省略する。なお、本実施例を他の実施例 2 ～5 と組み合わせることは可能である。

【0143】〔実施例 7〕 本実施例では、配線間の接続において良好なオーミックコンタクトを得るための構成を図 10 を用いて説明する。画素マトリクス回路の基本的な構成は実施例 1 とほぼ同様であるので、相違点のみに着目して説明する。

【0144】まず、実施例 1 と同様に絶縁表面を有する基板上に活性層とゲート絶縁膜を形成する。そして、画素マトリクス回路の TFT のゲート絶縁膜と同一の材料からなる膜上に、タンタルを主成分とする層 1001 上

に金属材料からなる層、本実施例ではチタンを主成分とする層、例えば窒化チタン膜 1002 (膜厚 20 nm ~ 100 nm) を連続成膜してパターニングを施し、多層配線を設けた。その後、実施例 1 と同様に層間絶縁膜の形成、コンタクトホール形成等を施した。

【0145】このチタンを主成分とする層は、コンタクトホール (開孔部) を形成する際、タンタルを主成分とする層 1001 の酸化や水素の吸蔵を防ぐ。また、チタンを主成分とする層は、開孔部を形成する際、層間絶縁膜と同時に一部が除去される場合があるが、酸素と反応しても絶縁体にならず、また除去しやすいため良好なオーミックコンタクトを得ることができる。即ち、チタンを主成分とする層は、タンタルを主成分とする層を保護するとともに、十分にエッチングマージンが取れるため開孔部の形成も容易とすることができた。そして、開孔部を形成した後、配線 1003 を形成し、1001 及び 1002 で示される多層配線と接続させた。その後、実施例 1 と同様にして図 10 の状態を得た。

【0146】また、チタンを主成分とする層にかえて、Cr、Mn、Co、Ni、Cu、Mo、W から選ばれた一種の元素を主成分とする層を用いることができる。

【0147】なお、本実施例を他の実施例 2 ~ 5 に組み合わせることは可能である。

【0148】〔実施例 8〕 上記実施例 1 ~ 7 に示した構成を含む TFT 基板 (素子形成側基板) を用いて AMLCD を構成した場合の例について説明する。ここで本実施例の AMLCD の外観を図 11 に示す。

【0149】図 11 (A) において、1101 は TFT 基板であり、画素マトリクス部 902、ソース側駆動回路 1103、ゲート側駆動回路 1104 が形成されている。画素マトリクス部は、図 6 (A) および図 1 に相当し、その一部を示した。また、駆動回路は、図 6 (B) 及び図 1 に相当し、その一部を示したように N 型 TFT と P 型 TFT とを相補的に組み合わせた CMOS 回路で構成することが好ましい。また、1105 は対向基板である。

【0150】図 11 (A) に示す AMLCD はアクティブマトリクス基板 1101 と対向基板 1105 とが端面を揃えて貼り合わされている。ただし、ある一部だけは対向基板 1105 を取り除き、露出したアクティブマトリクス基板に対して FPC (フレキシブル・プリント・サーキット) 1106 を接続してある。この FPC 1106 によって外部信号を回路内部へと伝達する。

【0151】また、FPC 1106 を取り付け面を利用して IC チップ 1107、1108 が取り付けられている。これらの IC チップはビデオ信号の処理回路、タイミングパルス発生回路、γ補正回路、メモリ回路、演算回路など、様々な回路をシリコン基板上に形成して構成される。図 11 (A) では 2 個取り付けられているが、1 個でも良いし、さらに複数個であっても良い。

【0152】また、図 11 (B) の様な構成もと行う。図 11 (B) において図 9 (A) と同一の部分は同じ符号を付してある。ここでは図 11 (A) で IC チップが行っていた信号処理を、同一基板上に TFT でもって形成されたロジック回路 (論理回路) 1109 によって行う例を示している。この場合、ロジック回路 1109 も駆動回路 1103、1104 と同様に CMOS 回路を基本として構成される。

【0153】また、カラーフィルターを用いてカラー表示を行っても良いし、ECB (電界制御複屈折) モード、GH (ゲストホスト) モードなどで液晶を駆動し、カラーフィルターを用いない構成としても良い。

【0154】〔実施例 9〕 実施例 8 に示した AMLCD は、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、半導体回路を搭載した半導体装置と定義する。

【0155】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクション TV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ (ノート型を含む)、携帯情報端末 (モバイルコンピュータ、携帯電話等) などが挙げられる。それらの一例を図 12 に示す。

【0156】図 12 (A) はモバイルコンピュータ (モバイルコンピュータ) であり、本体 2001、カメラ部 2002、受像部 2003、操作スイッチ 2004、表示装置 2005 で構成される。本願発明は受像部 2003、表示装置 2005 等に適用できる。

【0157】図 12 (B) はヘッドマウントディスプレイであり、本体 2101、表示装置 2102、バンド部 2103 で構成される。本発明は表示装置 2102 に適用することができる。

【0158】図 12 (C) は携帯電話であり、本体 2201、音声出力部 2202、音声入力部 2203、表示装置 2204、操作スイッチ 2205、アンテナ 2206 で構成される。本願発明は音声出力部 2202、音声入力部 2203、表示装置 2204 等に適用することができる。

【0159】図 12 (D) はビデオカメラであり、本体 2301、表示装置 2302、音声入力部 2303、操作スイッチ 2304、バッテリー 2305、受像部 2306 で構成される。本願発明は表示装置 2302、音声入力部 2303、受像部 2306 に適用することができる。

【0160】図 12 (E) はリア型プロジェクターであり、本体 2401、光源 2402、表示装置 2403、偏光ビームスプリッタ 2404、リフレクター 2405、2406、スクリーン 2407 で構成される。本発明は表示装置 2403 に適用することができる。

【0161】図 12 (F) は携帯書籍であり、本体 2501、表示装置 2502、2503、記憶媒体 250

4、操作スイッチ 2505、アンテナ 2506 で構成される。記憶媒体 (MD、DVD 等) に記憶されたデータまたはアンテナ (たとえば衛星アンテナ等) から得られるデータを表示する。本発明は表示装置 2502、2503 に適用することができる。

【0162】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示板、宣伝広告用ディスプレイなどにも活用することができる。

【0163】

【発明の効果】本明細書で開示する発明を利用することで、工程を増加することなく、同一基板上に異なる特性を有する薄膜トランジスタを集積化することができる。そして、全体としてのバランスのとれた周辺駆動回路一体型のアクティブマトリクス型液晶表示装置を提供することができる。

【0164】具体的には、高信頼性の要求される回路、例えば画素マトリクス部の N チャネル型 TFT においては、低 OFF 電流を特性を有した薄膜トランジスタを形成できる。

【0165】また、周辺駆動回路、例えば CMOS 回路の N チャネル型 TFT においては、高速駆動可能な薄膜トランジスタを形成できる。また、周辺駆動回路、例えば CMOS 回路の P チャネル型 TFT においては、N チャネル型 TFT と同様に高速駆動可能な薄膜トランジスタを形成することができる。

【0166】また、本明細書で開示する発明を利用することで、ゲート配線および電極 (配線幅: 0.1 μm ~ 5 μm) を作製した後、高温 (400 度以上) での加熱処理を行った場合においても、良好な TFT 特性を有する半導体装置を得ることができる。

【0167】本明細書に開示する発明は、アクティブマトリクス型を有した他のフラットパネルディスプレイに利用することもできる。例えば、EL 素子を利用したアクティブマトリクス表示装置に利用することができる。

【図面の簡単な説明】

【図 1】 本発明の構成の一例を示す断面図 (実施例 1)

【図 2】 本発明の作製工程一例を示す断面図 (実施例 1)

【図 3】 本発明の作製工程一例を示す断面図 (実施

例 1)

【図 4】 本発明の作製工程一例を示す断面図 (実施例 1)

【図 5】 本発明の作製工程一例を示す断面図 (実施例 1)

【図 6】 本発明の構成の上面図 (実施例 1)

【図 7】 本発明の構成の一例を示す断面図 (実施例 2)

【図 8】 本発明の構成の一例を示す断面図 (実施例 3)

【図 9】 本発明の構成の一例を示す断面図 (実施例 6)

【図 10】 本発明の構成の一例を示す断面図 (実施例 7)

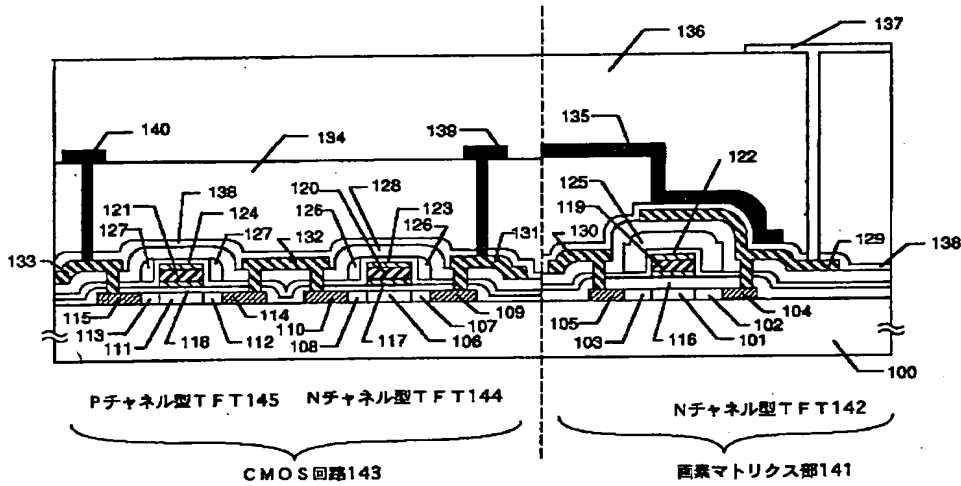
【図 11】 AMLCD の外観

【図 12】 電子機器

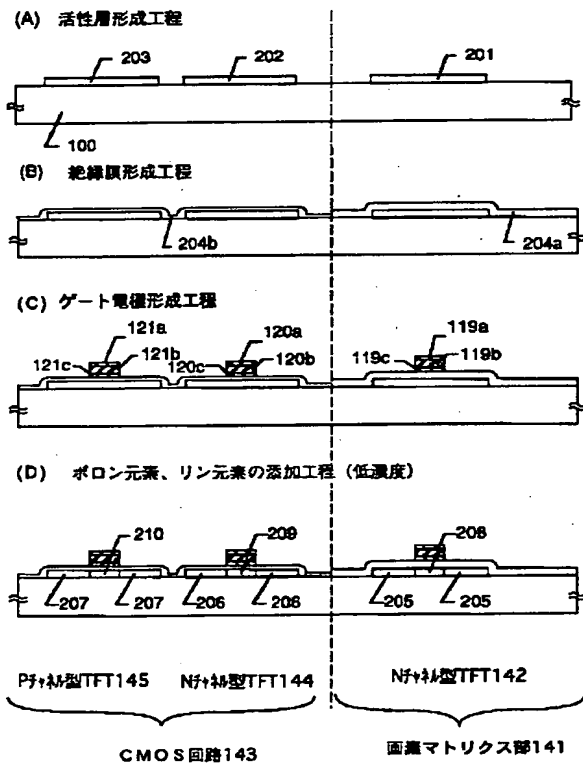
【符号の説明】

| | |
|---------|---------------------|
| 100 | 基板 |
| 101 | チャネル形成領域 |
| 102、103 | 低濃度不純物領域 |
| 104、105 | 高濃度不純物領域 |
| 106 | チャネル形成領域 |
| 107、108 | 低濃度不純物領域 |
| 109、110 | 高濃度不純物領域 |
| 111 | チャネル形成領域 |
| 112、113 | 低濃度不純物領域 |
| 114、115 | 高濃度不純物領域 |
| 116~118 | ゲート絶縁膜 |
| 119~121 | ゲート電極 (ゲート配線) |
| 122~124 | 保護膜 |
| 125 | 絶縁物 |
| 126、127 | サイドウォール |
| 128 | 第 1 の層間絶縁膜 |
| 129~133 | 配線 (ソース電極およびドレイン電極) |
| 134 | 第 2 の層間絶縁膜 |
| 135 | ブラックマスク |
| 136 | 第 3 の層間絶縁膜 |
| 137 | 画素電極 |
| 138 | パッシベーション膜 |
| 139、140 | 引出し配線 |

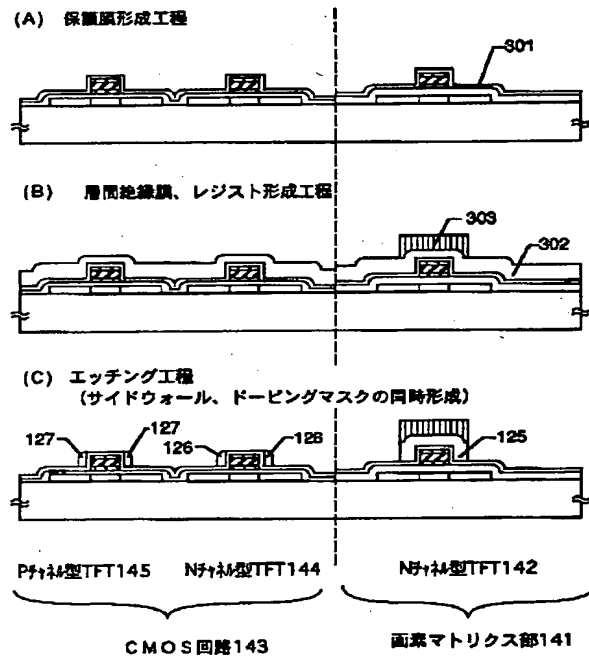
【図1】



【図2】

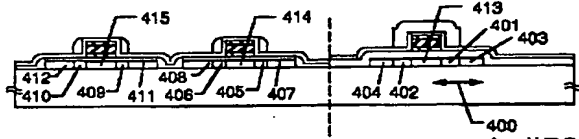


【図3】

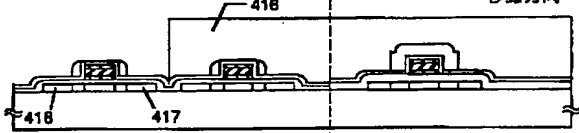


【図4】

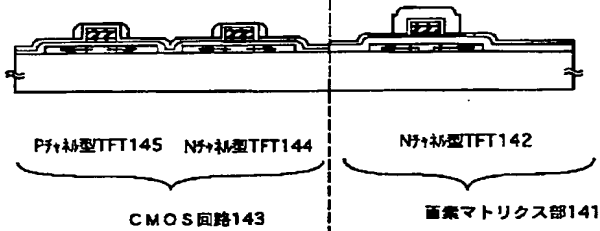
(A) リン元素の添加工程（高濃度）



(B) ボロンの添加工程（高濃度）

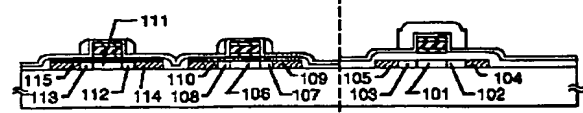


(C) アニール工程（ゲッタリング工程）

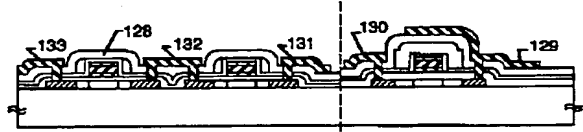


【図5】

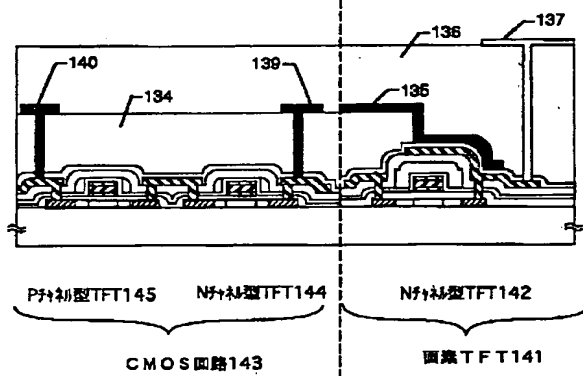
(A) アニール工程後の状態



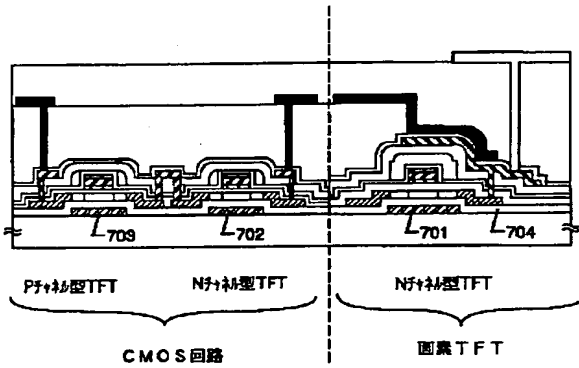
(B) 層間絶縁膜、引き出し配線形成工程



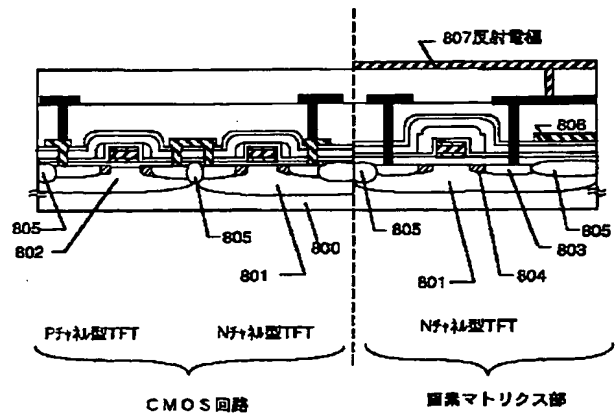
(C) 第2層間絶縁膜、BM、第3層間絶縁膜、画素電極形成工程



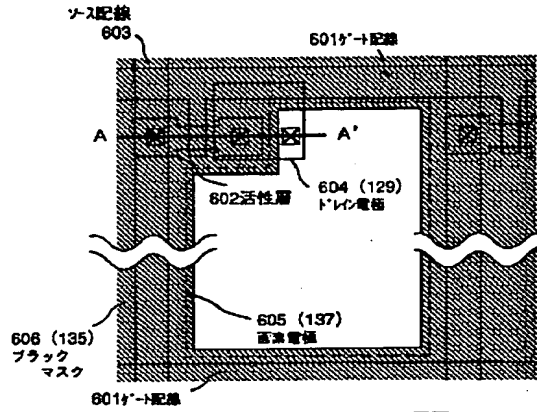
【図7】



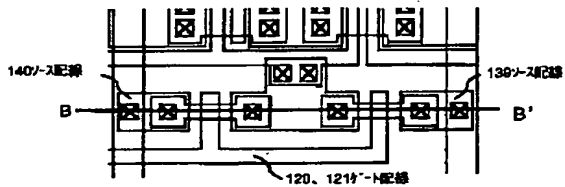
【図8】



【図6】

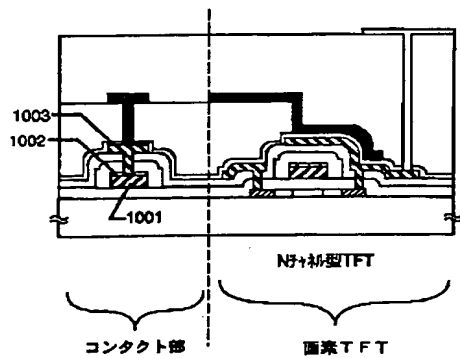


(A) 画素マトリクス回路上面図

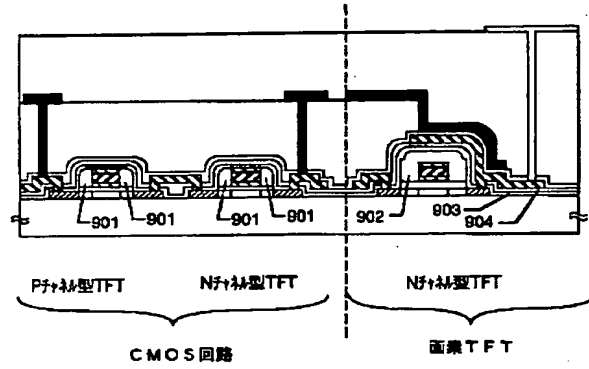


(B) CMOS回路上面図

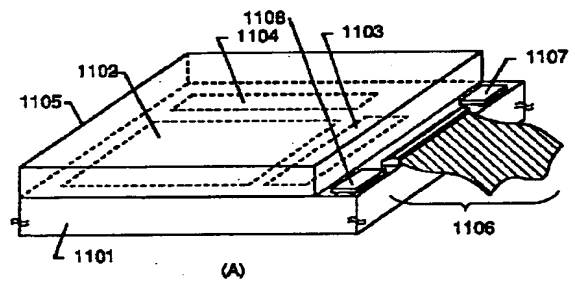
【図10】



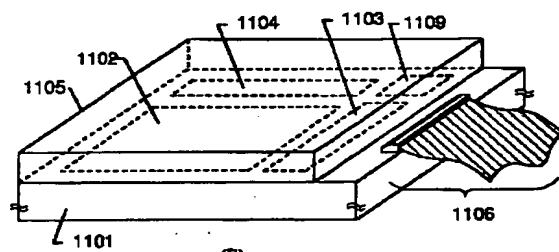
【図9】



【図11】



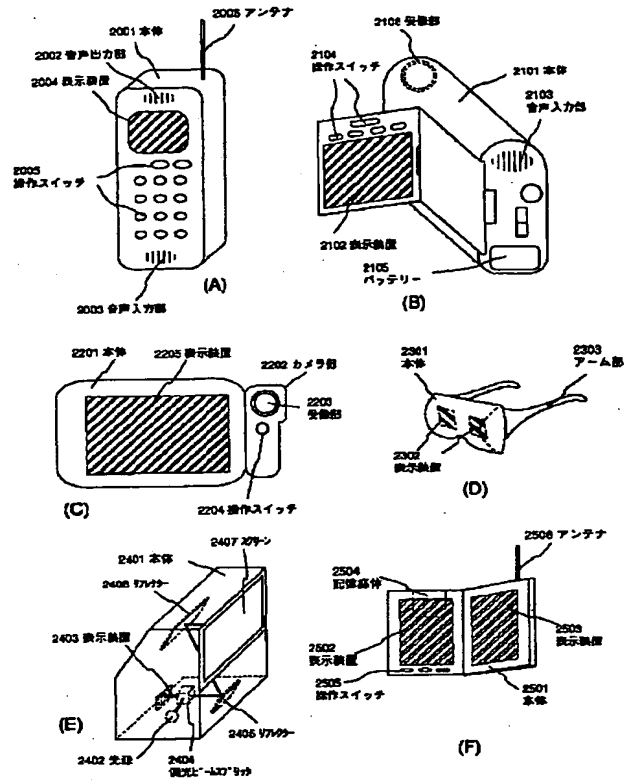
(A)



(B)

1101: TFT基板 1102: 画素マトリクス部
 1103: ソース配線回路 1104: ゲート駆動回路 1105: 対向基板
 1106: FPC 1107, 1108: ICチップ 1109: ロック回路

【図12】



フロントページの続き

(72)発明者 高山 徹
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

(72)発明者 福地 邦彦
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内